

論文の内容の要旨

論文題目	Design and Evaluation of an FPGA-based Query Accelerator for Data Streams
学位申請者	オゲ ヤースィン

近年、データストリームに対するリアルタイム処理の重要性が高まってきている。特にストリーム処理に特化したデータストリーム管理システム (Data Stream Management System, DSMS) は、理論的に無限のデータストリームに対してSQLライクな継続的クエリを実行することでリアルタイム処理を実現する。このような背景の中で、増加し続けるデータ量に対してリアルタイムなレスポンスを提供する手段としてFPGA (field-programmable gate array) に代表されるプログラマブル・デバイスをクエリ処理専用のアクセラレータとして活用する取り組みが注目されている。本論文は、データストリーム処理におけるウィンドウ集約クエリ的高速化を目的として、FPGAを用いたクエリ・アクセラレータの設計・評価に関する研究について記述したものである。

本論文では、まず関連研究の説明を通して本研究の立ち位置を明確化した後、3つの研究課題とそれぞれの解決方法を示している。1つ目の研究課題として、従来研究のデータストリーム処理専用ハードウェアでは入力データ (タプル) の順序の乱れへの対応が考慮されていなかった問題が挙げられる。そこで本研究は、順序の乱れた入力タプルを許容する効率的なハードウェア実装方法を提案している。具体的にはパンクチュエーションと呼ぶ制御シグナルを導入し、ウィンドウ処理回路をパンクチュエーションに対応する形に拡張する。これにより、あらかじめ指定された一定の許容範囲内 (slack) において入力タプルの順序の乱れに対応することが可能となる。提案手法の実現可能性と有効性を示すことを目的として、XilinxのFPGA開発ボード (ML605) を用いた実装・評価を行った。実機を用いた実験の結果、入力タプルの順序が乱れている場合でも正しい計算結果が得られることを確認した。

2つ目の研究課題は、オーバラップするスライディング・ウィンドウの増加に対して性能及び面積の観点からスケールしない問題を解決するハードウェア設計方法を示すことである。そこで、オーバラップするスライディング・ウィンドウをペイン (pane) と呼ばれるサブ・ウィンドウに分割し、アグリゲーション (集約) 処理を2段階に分けてパイプライン実装する。この際FPGA内部のメモリ・ブ

ロック (Block RAM, BRAM) を有効活用することで、従来手法と比較して、性能と面積の両観点において優れたスケーラビリティを実現する。提案手法の実現可能性と有効性を示すことを目的として、XilinxのFPGA開発ボード (ML605) を用いた実装・評価を行い、増加するウィンドウサイズに対して、スループットの低下と回路面積の増加を同時に防止できることを確認した。

3つ目の研究課題は、クエリ処理内容の変更に伴うオーバーヘッドによりクエリの実行時 (ランタイム時) のコンフィギュレーションが困難な点の解決である。本研究では、この問題を解決する動的再構成可能なクエリ・アクセラレータ「Configurable Query Processing Hardware (CQPH)」のアーキテクチャを提案している。予めウィンドウ集約クエリに最適化されたパイプラインをテンプレート回路として多数実装し、クエリの実行時 (ランタイム時) に必要最低限のパラメータを変更する動的再構成機構を採用することでクエリ処理内容の変更に伴うオーバーヘッドを大幅に削減した。提案アーキテクチャの実現可能性と有効性を示すことを目的として、XilinxのFPGA開発ボード (KC705) を用いてCQPHのプロトタイプを実装・評価した。実機を用いた実験の結果、ギガビット・イーサネットの実効速度で受信したパケットを取りこぼすことなく連続して処理できることを確認した。また、より高速な入力インターフェイスとしてDRAMを用いた実機テストでは、10Gbps以上の入力ストリームに対して、複数のクエリを並列処理できることを示している。

最後に、本研究で提案された3つの研究課題を解決するアプローチを簡潔にまとめた上で、各提案手法の貢献について示している。また、今後の展望について記述している。

論文審査の結果の要旨

学位申請者氏名 オゲ ヤースィン

審査委員主査 吉永 努

委員 長岡 浩司

委員 森田 啓義

委員 大森 匡

委員 栗原 聡

本研究は、データストリーム処理におけるウィンドウ集約クエリ的高速化を目的として、FPGAを用いたクエリ・アクセラレータの設計・評価に関する研究について記述したものである。

第1章では、本論文の背景と研究のアプローチについて説明している。近年、データストリームに対するリアルタイム処理の重要性が高まってきている。特にストリーム処理に特化したデータストリーム管理システム(Data Stream Management System, DSMS)は、理論的に無限のデータストリームに対してSQLライクな継続的クエリを実行することでリアルタイム処理を実現する。このような背景の中で、増加し続けるデータ量に対してリアルタイムなレスポンスを提供する手段としてFPGA(field-programmable gate array)に代表されるプログラマブル・デバイスをクエリ処理専用のアクセラレータとして活用する取り組みが注目を集めている。先行研究ではスライディング・ウィンドウを伴うアグリゲーション(集約)クエリに焦点を当て、これらのクエリ処理専用の回路をハードウェア・アクセラレータとしてFPGA上に実装する手法が提案されている。しかしながらデータストリーム処理におけるウィンドウ集約演算の実装に関して、実用的な観点から解決されるべき課題が3つ残されている。1つ目の問題点は入力データ(タプル)のウィンドウ処理を行う際に入力順序の乱れを考慮していない点、2つ目の問題点はオーバーラップするスライディング・ウィンドウの増加に対して性能及び面積の観点からスケールしない点、そして3つ目の問題点はクエリ処理内容の変更に伴うオーバーヘッドによりクエリの実行時(ランタイム時)のコンフィギュレーションが困難な点である。そこで、本論文ではこれらの問題を解決するアプローチについて提案することを述べている。

第2章では、大規模なデータを取り扱うデータ・インテンシブなアプリケーションにおいて、FPGAを専用アクセラレータとして活用する取り組みの現状と関連研究について整理する。

さらにデータストリーム処理に特化した継続的クエリのアクセラレーションについて、関連研究の説明を通して本研究の立ち位置を明確化する。また本研究で対象とするスライディング・ウィンドウを伴うアグリゲーション（集約）クエリ、および、その関連研究について説明している。

第3章では、1つ目の研究課題、即ち入力タプルの順序の乱れに対応する効率的な実装方法を提案している。具体的にはパンクチュエーション（punctuation）と呼ばれる制御シグナルを導入し、ウィンドウ処理回路をパンクチュエーションに対応する形に拡張する。これにより、あらかじめ指定された一定の許容範囲内（slack）において入力タプルの順序の乱れに対応することが可能となる。提案手法の実現可能性と有効性を示すことを目的として、XilinxのFPGA開発ボード（ML605）を用いた実装・評価を行った。実機を用いた実験の結果、入力タプルの順序が乱れている場合でも正しい計算結果が得られることを確認した。また、UDP/IPのプロトコル処理を行うIPコアと提案手法の専用処理回路をFPGA上に実装することで、ネットワークプロトコル処理およびクエリ処理を単一のFPGAで実現するとともに、ギガビット・イーサネットの実効速度で受信したパケットを取りこぼすことなく連続して処理できることを示している。

第4章では、2つ目の研究課題、即ちオーバーラップするスライディング・ウィンドウの増加に対してスケーラブルなハードウェア設計方法を提案している。具体的にはオーバーラップするスライディング・ウィンドウをペイン（pane）と呼ばれるサブ・ウィンドウに分割し、アグリゲーション（集約）処理を2段階に分けてパイプライン実装する。この際FPGA内部のメモリ・ブロック（Block RAM, BRAM）を有効活用することで、従来手法と比較して、性能と面積の両観点において優れたスケーラビリティを実現する。提案手法の実現可能性と有効性を示すことを目的として、XilinxのFPGA開発ボード（ML605）を用いた実装・評価を行った。実機を用いた実験の結果、増加するウィンドウサイズに対して、スループットの低下と回路面積の増加を同時に防止できることを確認した。また、第3章と同様のアプローチを用いて、ギガビット・イーサネットの実効速度で受信したパケットを取りこぼすことなく連続して処理できることを示している。

第5章では、3つ目の研究課題、即ちコンフィギュラビリティの問題に対して動的再構成可能なクエリ・アクセラレータ「Configurable Query Processing Hardware (CQPH)」のアーキテクチャを提案している。予めウィンドウ集約クエリに最適化されたパイプラインをテンプレート回路として多数実装し、クエリの実行時（ランタイム時）に必要な最低限のパラメータを変更する動的再構成機構を採用することでクエリ処理内容の変更に伴うオーバーヘッドを大幅に削減した。提案アーキテクチャの実現可能性と有効性を示すことを目的として、XilinxのFPGA開発ボード（KC705）を用いてCQPHのプロトタイプを実装・評価した。実機を用いた実験の結果、ギガビット・イーサネットの実効速度で受信したパケットを取りこぼすことなく連続して処理できることを確認した。また、より高速な入力インターフェイスとしてDRAMを用いた実機テストでは、10Gbps以上の入力ストリームに対して、複数のクエリを並列処理できることを示している。

第6章では、本研究の3つの研究課題及びそれぞれの課題を解決するアプローチを簡潔にまとめた上で、各提案手法の貢献について示している。また、今後の展望について記述している。

以上より、本論文は博士（工学）の学位論文として十分な価値を有するものと認める。